

Circuite Basculante Bistabile

Lucrarea are drept obiectiv studiul bistabilelor de tip D, Latch, JK și T.

Circuitele basculante bistabile (CBB) sunt circuite logice secvențiale cu 2 stări stabile (distincte), tranziția între cele 2 stări făcându-se odată cu aplicarea unor semnale de comandă din exterior. Ele sunt circuite cu memorie, ceea ce înseamnă că, examinând ieșirile, se poate deduce ultima comandă aplicată la intrare. Aplicațiile acestor circuite sunt multiple, ele stând la baza tuturor circuitelor logice secvențiale: numărătoare, registre, memorii RAM, etc.

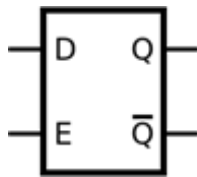
Există trei tipuri de bistabile de bază care sunt implementate în circuite integrate: transparent Latch, D, J-K. Bistabilul de tip T (toggles – comută în limba engleză) poate fi obținut dintr-un bistabil de tip JK legând împreună intrările JK la o intrare comuna numită T. La fiecare perioadă a ceasului (CLOCK) bistabilul de tip T își schimbă starea. În acest mod el funcționează ca un divizor cu 2 al frecvenței semnalului de ceas.

În acest laborator se folosesc următoarele circuite integrate

- 1) CDB475 (SN7475) -4 bistabili de tip latch [sau CD74HCT75E]
- 2) CDB474(SN7474) – doi bistabili de tip D (cu trigger pe frontul pozitiv al ceasului) cu intrari de PRESET si CLEAR
- 3) SN74S112AN – doi bistabili de tip JK (cu trigger pe frontul negativ al ceasului) cu intrari de PRESET și CLEAR

Simboluri bistabili

- 1) **Transparent Latch.** Intrarea E (enable) asigură transparența $Q=D$ atunci când este în starea HIGH.
Notă. Intrarea E mai este notată uneori cu C (clock).



Simbol

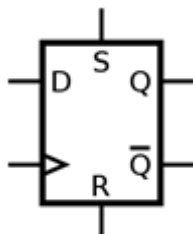
Gated D latch truth table

E/C	D	Q	\bar{Q}	Comment
0	X	Q_{prev}	\bar{Q}_{prev}	No change
1	0	0	1	Reset
1	1	1	0	Set

Tabela de funcționare

Fig. 1. Simbolul și tabela de funcționare a "Transparent Latch"

- 2) **Bistabil de tip D** (cu memorare pe frontul pozitiv al semnalului de Clock)



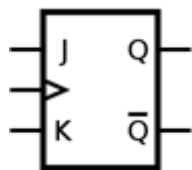
Simbol

Clock	D	Q_{next}
Rising edge	0	0
Rising edge	1	1
Non-Rising	X	Q

Tabela de funcționare

Fig. 2. Simbolul și tabela de funcționare a bistabilului de tip D

3) **Bistabil de tip JK** (cu memorare pe frontul pozitiv al semnalului de Clock)



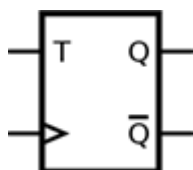
Simbol

J	K	Comment	Q_{next}
0	0	hold state	Q
0	1	reset	0
1	0	set	1
1	1	toggle	\bar{Q}

Tabela de funcționare

Fig. 3. Simbolul și tabela de funcționare a bistabilului de tip JK

4) **Bistabil de tip T** (cu schimbarea stării pe frontul pozitiv al semnalului de Clock, atunci cand T=H)



Simbol

T	Q	Q_{next}	Comment
0	0	0	hold state (no clk)
0	1	1	hold state (no clk)
1	0	1	toggle
1	1	0	toggle

Tabela de funcționare

Fig. 4. Simbolul și tabela de funcționare a bistabilului de tip T

Bistabilul T se obține dintr-un bistabil JK astfel:

- Se leagă împreună cele două intrări JK la un singur terminal. Acesta devine acum intrarea T a bistabilului Toggle echivalent.

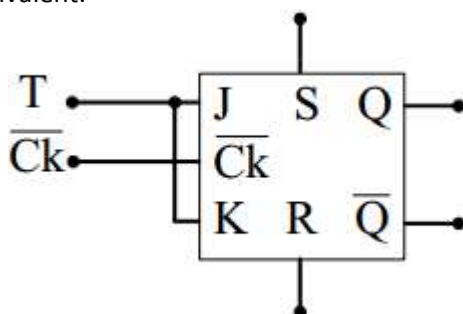
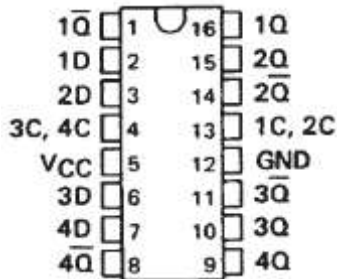


Fig. 5. Cum se construiește un bistabil de tip T cu ajutorul unui bistabil JK

Circuitele integrate folosite in laborator

SN7475 (CDB475) 4-BIT BISTABLE LATCHES

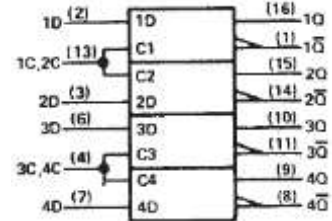
Atenție la pinii de alimentare (GND –pin 12, +5V – pin 5)! SN7475 este un circuit din familia TTL NEORTODOX în ceea ce privește alimentarea.



Alocarea pinilor

INPUTS		OUTPUTS	
D	C	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

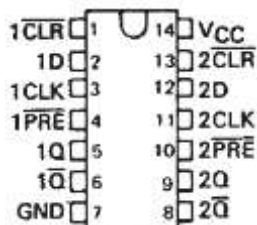
Tabela de funcționare



Simbol

Fig. 6. Alocarea pinilor, tabela de funcționare și simbolul circuitului 475

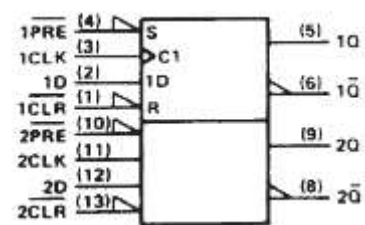
SN7474 (CDB474) – Dual D-type positive edge-triggered flip-flops with preset and clear



Alocarea pinilor

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H↑	H↑
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

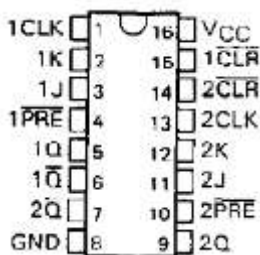
Tabela de funcționare



Simbol

Fig. 7. Alocarea pinilor, tabela de funcționare și simbolul circuitului 474

SN74S112AN - Dual J-K Negative-Edge-Triggered Flip-Flops With Clear And Preset

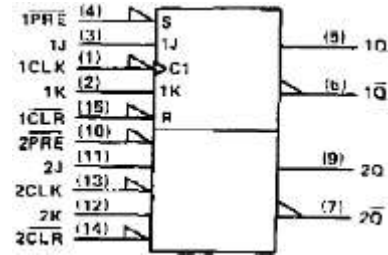


Alocarea pinilor

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H	↓	L	L	Q_0	\bar{Q}_0
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	Toggle
H	H	H	X	X	Q_0	\bar{Q}_0

Note 1: This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (HIGH) level.

Tabela de funcționare



Simbol

Fig. 8. Alocarea pinilor, tabela de funcționare și simbolul circuitului SN74S112AN

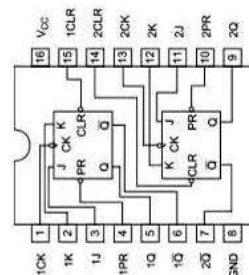
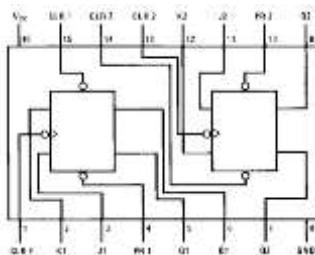


Fig. 9. Alocarea pinilor circuitului SN74S112AN

Modul de lucru

Materiale necesare

1. Circuite: SN7475 (CDB 475), SN7474 (CDB 474) și SN74S112AN
2. Plăci pentru prototipuri din plastic (breadboard)
3. Placa de testare, dotată cu: LED-uri, butoane, surse de 5V și 4 ieșiri TTL (ieșiri ale unui numărator hexazecimal - 4 biti – care incrementează/decrementează la apăsarea unuia dintre butoane)
4. Rezistențe de 1-10k Ω pentru aducerea intrărilor în starea HIGH
5. Fire de conexiune

Pentru studiul bistabilelor se vor executa următoarele acțiuni:

- Se montează unul dintre circuitele anterioare pe placa de prototipuri din plastic.
- Se efectuează conexiunile necesare pentru verificarea funcționării unui singur bistabil dintre cele existente în integrat
- Se conectează intrarea de ceas la ieșirea logică controlată de unul dintre butoanele situate pe placa de test (cea cu leduri și butoane)
- Se conectează intrările PRESET și CLEAR la nivelurile logice corespunzătoare (prin rezistență, dacă este stare HIGH, sau prin fir de conexiune la 0V, dacă este stare LOW)
- Se conectează, **CU ATENȚIE**, alimentarea circuitului (GND,Vcc) și la 0V, și respectiv 5V

Tema pentru acasă: Cu ajutorul aplicației fritzing se vor face legăturile pe placa de prototipuri pentru cele 3 circuite testate în această lucrare. Fișierele fritzing vor fi trimise prin poșta electronică cel mai târziu în seara de dinaintea laboratorului.

Indicații generale pentru lucrul cu circuite digitale

1. Se montează pe socluri, **cu atenție**, circuitele date. Asistența cadrelor didactice la aceasta operație este indicată pentru a nu se rupe, prin îndoire repetată, pinii acestor integrate.
2. Obținerea la intrare a stărilor logice LOW (atât la TTL cât și la CMOS) se face prin legarea acestora **direct la 0V (GND)**
3. Obținerea la intrare a stărilor logice HIGH se face:
 - a. la **TTL** prin conectarea acestora, **prin intermediul unei rezistențe de 1K, la +5V** (vezi figura 8a)
 - b. la **CMOS** prin conectarea acestora **DIRECT la +5V**.
4. **Interfațarea IESIRE TTL --> INTRARE CMOS** se face prin folosirea unei rezistențe de PULL-UP ($1k\Omega$) legată la +5V (vezi figura 8).
5. **TOATE CONEXIUNILE SE FAC CU SURSA DE ALIMENTARE (5V) DECUPLATĂ.** Prin urmare ultima manevră care se face, înainte de verificarea unui circuit, este alimentarea montajului (cel de pe plăcuta de prototipuri).
6. **ÎN ACEST LABORATOR TOATE CIRCUITELE LOGICE SE ALIMENTEAZA LA 5V.** Această cerință este **obligatorie** deoarece circuitele logice TTL standard **se distrug la alimentarea cu o tensiune mai mare de 5.25V.**

Referințe Bibliografice

- [1] 4-BIT BISTABLE LATCHES, (unibuc.ro)
- [2] Dual D-type positive edge-triggered flip-flops with preset and clear, (unibuc.ro)
- [3] Dual J-K Negative-Edge-Triggered Flip-Flops With Clear And Preset, (unibuc.ro)